

空间太阳望远镜星载数据处理系统中的 动态可重构协处理器研究

蔡洪波, 金声震

(中科院国家天文台空间实验室, 北京 100012)

摘 要: 本文提出了一种为空间太阳望远镜星载数据处理系统而设计的动态可重构协处理器方案, 该方案利用 4bits 粒度可重构阵列将传统的基于指令流的运算方式变为基于数据流与配置流的运算方式, 并通过指令流水实现了动态可重构单元与主处理器的协同工作. 文章最后还给出了该方案在 Xilinx XC2V3000 上的实现及该实现用于乘法和 1024 点复数快速傅立叶变换时的性能.

关键词: 可重构; 动态可重构; 协处理器; 星载数据处理

中图分类号: NV444; NTP36 **文献标识码:** A **文章编号:** 0372-2112 (2005) 09-1717-03

A Run Time Reconfigurable Coprocessor Research in Data Processing System of Space Solar Telescope

CAI Hong-bo, JIN Sheng-zhen

(National Astronomical Observatories, Chinese Academy of Sciences, Beijing 100012, China)

Abstract: The paper presents a run-time reconfigurable coprocessor designed for Space Solar Telescope (SST). The coprocessor provides a 4bit-width reconfigurable array, which transforms instruction stream based computing to data stream based and configuration stream based computing, and employs a 4-stage instruction pipeline to synchronize coprocessor and processor. The paper also gives an implementation of the coprocessor on Xilinx XC2V3000 and performance on the multiplication and the 1024 point complex Fast Fourier Transform.

Key words: reconfigurable; run time reconfigurable; coprocessor; data processing onboard

1 引言

空间太阳望远镜 (Space Solar Telescope, SST) 是一颗太阳同步轨道卫星, 它在广泛的光谱范围上, 以 0.10 ~ 0.15 的超高空间分辨率对太阳矢量磁场和二维光谱进行测量^[5]. SST 包括主光学望远镜、全日面 H 白光望远镜、极紫外望远镜、宽波段光谱仪、太阳和行星际空间射电频谱仪等五个主要有效载荷, 共 16 条 CCD 数据通路, 256 条宽波段光能谱通路和 320 条射电频谱通路. SST 数据处理系统面临的主要挑战有两个, 一是数据量大, 所有设备日数据采集总量约 1.728 GB, 如转化为指令, 处理速度超过 10000 MIPS; 二是处理方式复杂, 不仅各 CCD 的像素和谱线通路的时间分辨率不相同, 且 5 个设备要求的数据处理算法也不相同.

通常, 空间数据处理系统完成计算的方式有两种^[1,4], 一是基于 Von Neumann 结构或哈佛结构的通用处理器方式, 二是定制 ASIC 芯片方式. 前者使用分时重用运算逻辑单元的方式处理大规模运算, 运算速度主要受时钟频率和运算逻辑单元每周期能完成的指令数的制约, 性能在空间辐照环境和高可靠性要求下很难有效提升, 如美国 NEMO 卫星^[3] 使用 AD21060L 的速度约为 40 MIPS, 欧空局使用的 TSC695E 速度约为 20 MIPS, 用它们完成 SST 数据处理任务即使不计冗余也需

数百片, 而国内的航空芯片更加落后, 大多为 8086 或 8031, 几乎不可完成 SST 数据处理任务; 后者虽然具有高速的特点, 但灵活性与可重用性差, 5 个观测设备需要设计 5 套不同电路, 其研发和使用时的备份开销极大, 工程上很难接受; 因此, 本文希望探讨一种新的兼具高速、灵活通用特点的空间可重构协处理器设计方案, 以满足类似 SST 项目中高速星载数据处理系统的需求.

可重构计算是近年来以 FPGA 为基础发展起来的一种计算技术^[1,2,6], 它允许系统根据运算需要重组自身硬件资源, 以达到优化性能, 提高速度的目的. 与上面介绍的通用微处理器方法和 ASIC 方法相比, 可重构技术一个最重要的优点在于硬件资源可随计算而变动, 因而兼顾了计算的通用性和高速性. 本文提出了一种基于动态可重构的协处理器方案, 该方案利用 4bits 粒度可重构阵列将传统的基于时间序列的运算方式变为基于数据流与配置流的运算方式, 并通过指令流水处理机制实现了动态可重构单元与传统通用微处理器的协同工作. 本文将在下面第 2 节介绍空间处理器主——协结构的总体设计, 第 3 节描述动态可重构阵列的结构与设计, 第 4 节说明系统指令与流水的实现, 第 5 节是系统的实验与结果, 第 6 节是结束语.

收稿日期: 2004-09-17; 修回日期: 2005-03-21

基金项目: 国家高技术研究发展计划 (863 计划) 课题 (No. 863-2.5.1.25)

2 总体设计

90—10 理论指出^[2],处理器上 10%的代码占用了处理器 90%的处理时间,也就是说,运行中大量占用时间的是些有规律的内部循环,其余部分主要是些无规律的 I/O 操作和一般性事件处理.因此本文采用了动态可重构结构与通用处理器相结合的主—协处理器结构,由通用处理器处理事务性工作,而动态可重构结构处理有规律运算. SST 星载数据处理系统动态可重构协处理器与主处理器的总体结构框图见图 1,虚线方框中部分为主处理器 LEON2 的结构图,方框右边为本文提出的动态可重构协处理器的结构图.动态可重构协处理器包括固定控制模块、可重构阵列和寄存器组三部分.固定控制模块与 LEON2 的协处理器接口相连,它通过访问 LEON2 的协处理器接口从 LEON2 整数处理单元 (Integer Unit) 接收指令、数据并通过流水实现译码和协处理器控制逻辑生成,此外固定模块中还包括一个 AHB (Advanced High-performance Bus) Master 接口,通过它固定模块可以直接访问 AHB 总线上的存储单元;寄存器组包括通用寄存器组和特殊寄存器组,其中特殊寄存器组由协处理器流水控制寄存器组、固定模块状态/控制寄存器和可重构阵列状态/控制寄存器组成,用于协处理器的控制和状态维护;通用寄存器组主要用于保存运算数据,它可以为可重构阵列提供多个数据访问通道;可重构阵列是协处理器的主要运算执行单元,在固定控制模块接收指令并译码后,可重构阵列会根据固定控制模块生成的控制信号重构,并在执行时从寄存器组获取数据.要指出的是,为减小重构时间开销,重构控制应尽量接近重构逻辑,因此,重构寄存器组包含在可重构阵列中,而不在寄存器组中.

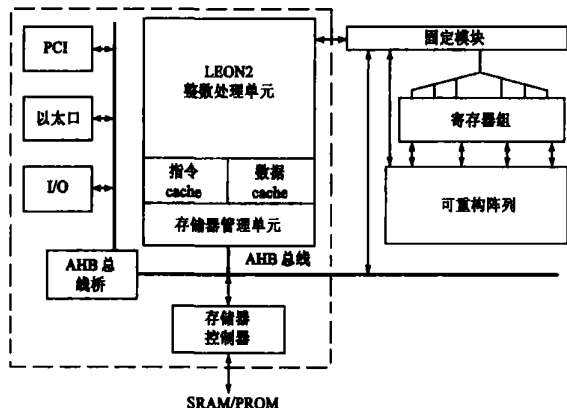


图 1 系统总体结构框图

3 可重构阵列的结构与设计

可重构阵列是协处理器的主要运算执行单元,如图 2.它由横、纵向内部网络、重构寄存器、处理单元三部分组成,有点类似于多处理器阵列,但各处理单元并不在指令控制下完成运算,也很少独立工作,而是采用一种基于数据流与配置流的工作方式.配置流的信息存于重构寄存器中,主要用于定义电路的结构,内容包括处理单元间通过内部网络和进位电路确定的连接关系以及处理单元本身的功能.通过向重构寄存器中写入不同数据,我们可以将阵列中任意多个处理单元动态

整合为不同的电路,这种电路可以使用类似 ASIC 基于数据流的方式实现运算,提高性能.

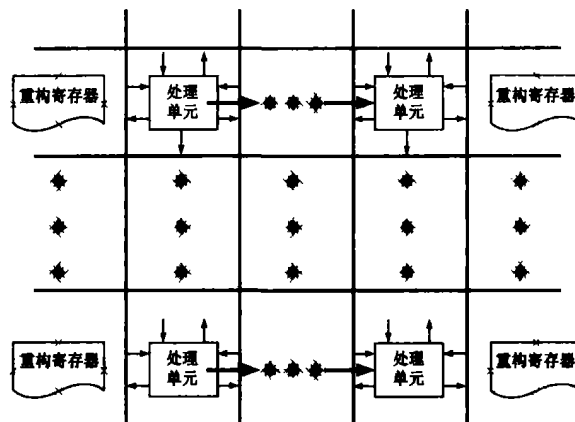


图 2 可重构阵列结构图

图 3 是单个处理单元的结构图.通过输入/输出控制器,处理单元可以从内部网络中引入两个 4bits 输入,由交叉开关和四个 4 输入查找表组成的结构可以为两个输入提供各种组合逻辑,而结果函数发生器实现了查找表输出结果与进位信号的合成,其输出或者直接经输出控制器送入内部网络或者作为反馈信号进入输入/输出控制器.

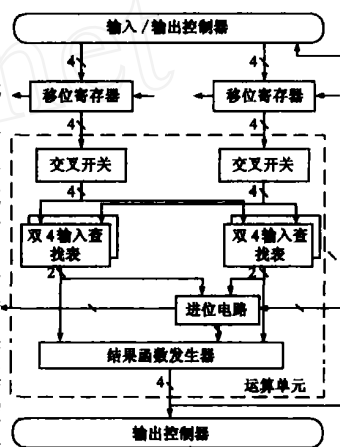


图 3 处理单元结构图

4 指令与流水

如上节介绍,本文中的可重构阵列是种基于数据流与配置流的运算结构,但从整体而言,它又是通用处理器协处理器的一部分,必须在指令流控制下工作,因此解决好三者间的转换极为重要.

我们定义了三类协处理器指令:LD、ST、Cpop.LD 与 ST 都是针对数据流而设的操作,LD 用于将数据从存储器中载入协处理器寄存器组,作块数据载入时最大可达 128bits;ST 用于将数据从协处理器寄存器组导入存储器,最大块数据也为 128bits;LD 与 ST 指令中比较特殊的是特殊寄存器组的读写,它与数据无关,主要用于读写协处理器的特殊寄存器组.Cpop 指令是与配置相关的指令,它分为两类重构指令,一类将网络和运算逻辑分开来重构,包括内部网络行重构、列重构指令和运算单元重构指令,一类按处理单元来重构,包括单处理单元重构、行单元重构和列单元重构等.

在指令的实现上我们采取了流水结构,并通过直接读取 LEON2 内部流水控制寄存器的方式实现与主处理器的同步.LEON2 有五段流水,分别是取指令 (fetch) 阶段、译指令阶段 (decode)、执行阶段 (execute)、读存储器阶段 (memory) 和写寄

存器阶段(write). 动态可重构协处理器的流水与 LEON2 大致一致,只是取指令由主处理器完成,因此,工作时协处理器指令可以嵌入主处理器的指令流中,由主处理器统一取指,并伴随主处理器流水一块执行.

5 实验与结果

我们选用 XC2V3000 作为 FPGA 平台测试了动态可重构协处理器原型样机. XC2V3000 是 Xilinx 公司 Virtex-II 系列 FPGA 中的一款,它采用 0.15 μ m/0.12 μ m CMOS 8 层金属处理工艺,可以为用户提供 64 * 56 的 CLB Array. 实验中,我们使用了 4 * 4 大小的可重构阵列,实验内容:配置时间与运算性能.

可重构阵列配置时间与配置方式有关,配置单个处理单元的时间约为 2 周期,而只配置网络,每行约 1 周期. 因此阵列的配置时间与运算占用资源大小有关,8bits 加法器约 4 周期,而 8bits 阵列式无符号高速乘法器约 8 周期.

运算性能实验包

括乘法实验和 1024 点复数 FFT 运算. 乘法是数据处理中常用且耗费时间、资源较多的运算之一. 用可重构阵列配置 8bits 阵列式无符号高速乘法器需要 4 个处理单元级联,8 周期配置时间,图 4 给出了 25M 时钟频率下动态可重构协处理器、LEON2、Intel 80386 SX 嵌入式处理器和 33.3MHz 下 ADSP 21020 四者进行 8bits 无符号乘法运算的时间曲线图. LEON2、Intel 80386 和 ADSP 21020 都是目前空间系统常用处理器,可以看出 Intel 80386 每 12 周期完成一次 8bits 无符号乘法,LEON2 与 ADSP 21020 一周期完成一次乘法运算,它们运算时间曲线都是从零点开始随运算次数成线性增长,而动态可重构协处理器只在开始有一个 8 周期的配置时间,此后每过大约 8 周期,可重构阵列可增加一乘法器,实现并行计算. 因此当运算规模较大,多次运算的累计时间大大超过动态可重构协处理器的配置时间时,动态可重构协处理器运算速度优于单独使用 LEON2 核或相近频率下的 CPU 和 DSP.

1024 点复数 FFT(Fast Fourier Transform) 运算算法使用了一次存取两个复数的基 4 算法,复数的实部与虚部都用 1byte 来表示,这样一个 4 * 4 阵列可以配置成一个基 4 蝶,完成所有运算需 10249 计算周期和 32 预配置周期,优于 21020 的 18221 个周期近三分之一.

6 结束语

随着空间技术的不断发展,人们对空间处理器数据处理能力的要求也越来越高. 本文根据空间太阳望远镜的实际需要,在分析通用微处理器与 ASIC 计算优缺点的基础上,提出

了一种可以与空间处理器 LEON2 协作的动态可重构协处理器的设计与实现,并力图用实验证明该设计的可行. 当然,作为原理样机,该设计还有很大改进余地,今后我们将对其结构和抗辐射能力作进一步完善,希望能为我国空间高速数据处理技术的发展作出有益贡献.

参考文献:

- [1] Thilo Pionteck, Lukusa D Kabulepa, et al. Reconfiguration requirements for high speed wireless communication systems[A]. IEEE International Conference on Field-Programmable Technology [C]. Piscataway, NJ: IEEE, 2003. 118 - 125.
- [2] John Reid Hauser. Augmenting a microprocessor with reconfigurable hardware[D]. UC Berkeley: Dept of Electrical Engineering and Computer Sciences, December 2000.
- [3] Jeffrey B, John A, Jeff Skibo. On-board hyperspectral compression and analysis system for the NEMO satellite [A]. SPIE Conference on Infrared Spaceborne Remote Sensing VI, San Diego, California. Proc. SPIE[C]. Bellingham, Wash: SPIE, 1998. Vol. 3437. 20 - 28.
- [4] 李仁发,周祖德,等. 可重构计算的硬件结构[J]. 计算机研究与发展. 2003, 40(3): 500 - 506.
Li Renfa, Zhou Zude, et al. Hardware for reconfigurable computing [J]. Journal of Computer Research and Development, 2003, 40(3): 500 - 506. (Chinese Source)
- [5] 王芳,李恪,苏林,耿丽红. 空间太阳望远镜的星载固态存储器研制[J]. 电子学报. 2004, 32(3): 6 - 9.
Wang Fang, Li Ke, Su Lin and Geng Lihong. Development of onboard solid state recorder for space solar telescope [J]. Acta Electronica Sinica, 2004, 32(3): 6 - 9. (Chinese Source)
- [6] Visser S, Dawood A, Williams J. FPGA based satellite adaptive image compression system [J]. Journal of Aerospace Engineering, 2003, 16(3): 129 - 137.

作者简介:



蔡洪波 男, 1976 年 11 月出生于湖南邵阳市, 2002 年 7 月获得湖南大学计算机应用专业硕士学位, 现在中科院国家天文台空间实验室攻读博士学位, 主要研究方向为空间计算机体系结构、分布式系统和星载通讯网络.

E-mail: chb @sst. bao. ac. cn.



金声震 男, 1944 年 6 月出生于贵州, 1986 年获中科院国家天文台理学博士, 现为中科院国家天文台 SST 首席研究员、博士生导师; 主要从事空间天文技术方法和航天电子学等方面的研究.

E-mail: jsz @sst. bao. ac. cn.